

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-270448

(43)Date of publication of application : 09.10.1998

(51)Int.Cl.

H01L 21/3205

H01L 21/28

(21)Application number : 10-111072

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 21.04.1998

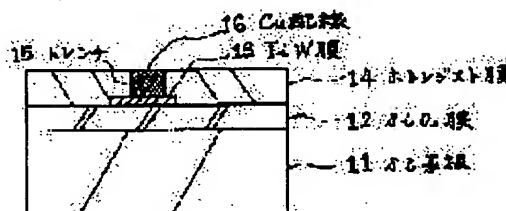
(72)Inventor : IWAMATSU SEIICHI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To relax the stress originating from at least a side face insulation film by forming trenches into the insulation film, burying electrodes in the trenches and forming the electrodes, using a multi-layer substrate composed of a TiW or TiN alloy layer and Cu or Al film.

SOLUTION: An SiO₂ film 12 is formed on the surface of an Si substrate 11, a TiW film 13 is formed by the sputtering, photo etched into a pattern, a photo resist film 14 is formed, exposed and developed to form trenches into the film 13, and a Cu film is buried in the trenches 15 by the plating to form a Cu wiring 16. The film 13 may be a TiN, TiSi, WSi, MoSi or Ti film and wiring 16 may be an Al one, thus avoiding breaking wires due to the stress-migration.



LEGAL STATUS

[Date of request for examination] 21.04.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than withdrawal the examiner's decision of rejection or application converted registration]

[Date of final disposal for application] 04.06.1999

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

F-03ED103

(19)日本国特許庁 (J P) (12) 公開特許公報 (A) (11)特許出願公開番号
特開平10-270448
(43)公開日 平成10年(1998)10月9日

(51)IntCl. ⁴	識別記号	PI
H01L 21/325	301	H01L 21/88
21/28		21/28
		21/88
		N
		301R
		R

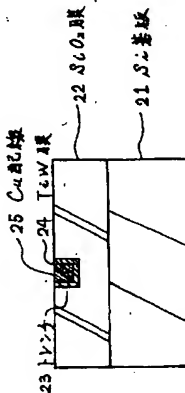
審査請求 有 請求項の数 2 OL (全 3 頁)

(21)出願番号	特開平10-111072	(71)出願人	00002369
(62)分割の表示	昭和83-288522の分割		セイコーエプソン株式会社
(22)出願日	昭和83年(1988)10月25日		東京都新宿区西新宿2丁目4番1号
		(72)発明者	岩松 誠一
			長野県諏訪市大和3丁目3番5号 セイコ
			ーエプソン株式会社内
		(74)代理人	弁理士 鈴木 喜三郎 (外2名)

(54)【発明の名称】 半導体装置

(57)【要約】

【解決手段】 半導体装置に関し、(1) 半導体基板表面に形成された絶縁膜にはトレンチを形成し、該トレンチ内に電極を埋め込む手段をとる事基本とし、(2) 前記電極の材料を、TiW、TiN、TiSi、WSiX、MoSi等の高融点金属を含む合金層と、Cu又はAl膜と、の多層構造となす手段をとる事である。
【効果】 半導体装置の電極配線が少なくとも側面の絶縁膜から来るストレスを緩和でき、ストレス・マイグレーションによる断線を防止出来、ひいてはエレクトロ・マイグレーションによる断線も防止出来る効果がある。



【特許請求の範囲】

【請求項1】 半導体基板上に設置され、溝が形成されている絶縁膜と、前記溝の底面および側面に設置された高融点金属を含む合金層からなる第1金属層と、前記第1金属層と電気的に接続し、かつ、前記溝を埋め込むように設置された第2金属層と、を有する半導体装置であって、

前記第1金属層と前記第2金属層とにより金属配線層が構成されることを特徴とする半導体装置。

【請求項2】 前記第2金属層は、銅またはアルミニウムを含むことを特徴とする請求項1記載の半導体装置。

【発明の詳細な説明】

【0001】 本発明はかかる従来技術の問題を解決するために半導体装置における電極配線の新しい構造を提供する事を目的とする。

【0002】 従来の技術 従来、半導体装置における電極配線は、半導体基板表面に形成された絶縁膜表面に、スパッタ法等の蒸着法で形成されたAl膜をホト・エッチングして、電極配線となし、その上にCVD SiO₂膜等の保護膜を形成して成るのが通例であった。

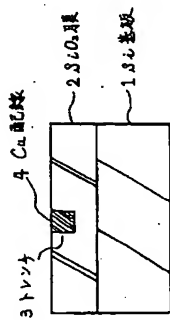
【0003】 本発明が解決しようとする課題】 しかし、上記従来技術によると、Al電極配線が保護膜等から受けるストレスによりマイグレーションし、いわゆるストレス・マイグレーションによる断線が発生したり、又、エレクトロ・マイグレーションによる断線も発生し易くなると言う課題があった。

【0004】 本発明はかかる従来技術の問題を解決するために半導体装置における電極配線の新しい構造を提供する事を目的とする。

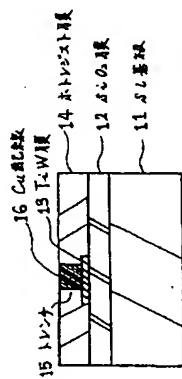
【0005】 課題を解決するための手段】 上記課題を解決するため、本発明は、半導体装置に関し、(1) 半導体基板表面に形成された絶縁膜にはトレンチを形成し、該トレンチ内に電極を埋め込む手段をとる事を基本とし、(2) 前記電極の材料を、TiW、TiN、TiSi、WSi、MoSi等の高融点金属を含む合金層と、Cu又はAl膜と、の多層構造となす手段をとる事である。

【0006】 実施例】 図1は、本発明の一実施例を示す半導体装置の電極配線構造の断面図である。すなわち、Si基板1の表面にはSiO₂膜2が形成され、該SiO₂膜2にホト・エッチングによりトレンチ3を形成した表面から、スパッタ法により、Cu膜を形成し、エッチ・バック法によりトレンチ3部以外のCu膜を除去して、トレンチ3部内にCu配線4を形成したものである。尚Cu

【図1】



【図2】



【図3】

